

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11097386

Basic Patent (No,Kind,Date): JP 5075957 A2 930326 <No. of Patents: 001>

**SAMPLING AND HOLDING CIRCUIT, HORIZONTAL SCANNING CIRCUIT
USING THIS CIRCUIT, AND MATRIX DISPLAY DEVICE INCLUDING THIS SCANNING
CIRCUIT (English)**

Patent Assignee: HITACHI LTD

Author (Inventor): HARUNA FUMIO; KABUTO NOBUAKI; SOMEYA RYUICHI

IPC: *H04N-005/66; G09G-003/36; G09G-003/20

Derwent WPI Acc No: G 93-139264

JAPIO Reference No: 170404E000156

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5075957	A2	930326	JP 91258674	A	910911 (BASIC)

Priority Data (No,Kind,Date):

JP 91258674 A 910911

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04084257 **Image available**

SAMPLING AND HOLDING CIRCUIT, HORIZONTAL SCANNING CIRCUIT
USING THIS CIRCUIT, AND MATRIX DISPLAY DEVICE INCLUDING THIS SCANNING
CIRCUIT

PUB. NO.: 05-075957 [JP 5075957 A]

PUBLISHED: March 26, 1993 (19930326)

INVENTOR(s): HARUNA FUMIO
KABUTO NOBUAKI
SOMEYA RYUICHI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-258674 [JP 91258674]

FILED: September 11, 1991 (19910911)

INTL CLASS: [5] H04N-005/66; G09G-003/36; G09G-003/20

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1405, Vol. 17, No. 404, Pg. 156, July
28, 1993 (19930728)

ABSTRACT

PURPOSE: To realize an analog horizontal scanning IC which drives a high-
definition liquid crystal panel by constituting a high-speed sampling and
holding circuit of small offset voltage.

CONSTITUTION: A first switch 101 which has a small ON-state resistance and
can write a video signal in a hold capacity 103 at a high speed and a
second switch 102 which has a large ON-state resistance and has a small
offset voltage in the hold capacity 103 are connected in parallel to
constitute a sampling and holding circuit 10. Both switches are turned on
to perform sampling, and the first switch 101 which writes the signal at a
high speed is first turned off, and the offset voltage due to this
turning-off is reduced by the second switch 102, and thereafter, the second
switch 102 is turned off.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-75957

(43)公開日 平成5年(1993)3月26日

(51)Int Cl ⁴	識別記号	庁内整理番号	FI	技術表示箇所
H 0 4 N 5/66	B	7205-5C		
G 0 9 C 3/36		7926-5C		
// G 0 9 C 3/20	Z	9176-5C		

審査請求 未請求 請求項の数5(全13頁)

(21)出願番号 特願平3-258674

(22)出願日 平成3年(1991)9月11日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 春名 史雄

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(72)発明者 甲 展明

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(72)発明者 染矢 隆一

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

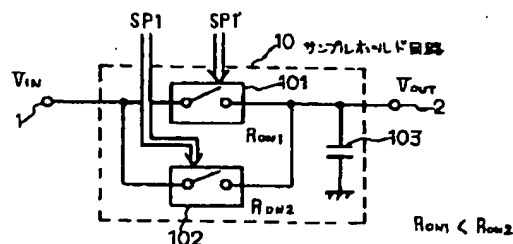
(74)代理人 弁理士 並木 昭夫

(54)【発明の名称】 サンプルホールド回路、それを用いた水平走査回路、及び該走査回路を含むマトリクス型表示装置

(57)【要約】

【目的】 高速で、オフセット電圧の小さなサンプルホールド回路を構成し、高精細液晶パネルを駆動するアナログ水平走査ICを実現する。

【構成】 ON抵抗が小さく、映像信号を高速にホールド容量103に書き込める第1のスイッチ101と、ON抵抗が大きく、ホールド容量103におけるオフセット電圧が小さい第2のスイッチ102と、を並列接続してサンプルホールド回路を構成し、両スイッチを共にONしてサンプリングを行い、高速書き込みを行った第1のスイッチ101を先にOFFさせ、それにより生じるオフセット電圧を第2のスイッチ102で低減させた後、第2のスイッチ102をOFFさせる。



(2)

特開平 5- 75957

1

【特許請求の範囲】

【請求項1】 映像信号を書き込まれて保持するサンプルホールド回路において、

映像信号を書き込まれるべき一つのホールド容量と、映像信号の入力側と前記ホールド容量との間に接続された、互いに並列で、それぞれのオン抵抗を異にする複数のスイッチ回路と、前記複数のスイッチ回路を全部オンにして前記ホールド容量に映像信号を書き込んだ後、該複数のスイッチ回路の中で、オン抵抗の低いものから順にオフに転じる制御回路と、を具備して成ることを特徴とするサンプルホールド回路。

【請求項2】 ドットマトリクス型ディスプレイを駆動する水平走査回路において、

複数の出力段を有し、1相のシフトクロックを入力される毎に各出力段から順次、出力を生じて水平走査を行うシフトレジスタと、

映像信号を書き込まれるべき一つのホールド容量と、映像信号の入力側と前記ホールド容量との間に接続された、互いに並列で、それぞれのオン抵抗を異にする第1及び第2の2個のスイッチ回路と、から成るサンプルホールド回路であって、前記シフトレジスタの各出力段対応にそれぞれ設けられた複数のサンプルホールド回路と、

各サンプルホールド回路において、オン抵抗の高い方の第1のスイッチ回路のオン期間を前記シフトレジスタの対応した出力段からの出力により制御する第1の制御パルス発生回路と、

各サンプルホールド回路において、オン抵抗の低い方の第2のスイッチ回路のオン期間を、前記シフトクロックと、前記シフトレジスタの対応した出力段からの出力と、のデコード出力により制御する第2の制御パルス発生回路と、を具備して成ることを特徴とする水平走査回路。

【請求項3】 ドットマトリクス型ディスプレイを駆動する水平走査回路において、

複数の出力段を有し、1相のシフトクロックを入力される毎に各出力段から順次、出力を生じて水平走査を行うシフトレジスタと、

映像信号を書き込まれるべき一つのホールド容量と、映像信号の入力側と前記ホールド容量との間に接続された、互いに並列で、それぞれのオン抵抗を異にする第1及び第2の2個のスイッチ回路と、から成るサンプルホールド回路であって、前記シフトレジスタの各出力段対応にそれぞれ設けられた複数のサンプルホールド回路と、

各サンプルホールド回路において、オン抵抗の高い方の第1のスイッチ回路のオン期間を前記シフトレジスタの対応した出力段からの出力により制御する第1の制御パルス発生回路と、

各サンプルホールド回路において、前記シフトクロック

2

と、前記シフトレジスタの対応した出力段からの出力と、からパルス幅の任意設定可能な出力パルスを制御パルスとして作成、出力し、それによって、オン抵抗の低い方の第2のスイッチ回路のオン期間を制御する第2の制御パルス発生回路と、を具備して成ることを特徴とする水平走査回路。

【請求項4】 ドットマトリクス型ディスプレイを駆動する水平走査回路において、

複数の出力段を有し、3相のシフトクロックを入力され、各出力段から各相の出力を順次、出力して水平走査を行うシフトレジスタと、

映像信号を書き込まれるべき一つのホールド容量と、映像信号の入力側と前記ホールド容量との間に接続された、互いに並列で、それぞれのオン抵抗を異にする第1及び第2の2個のスイッチ回路と、から成るサンプルホールド回路であって、前記シフトレジスタの各出力段対応にそれぞれ設けられた複数のサンプルホールド回路と、

各サンプルホールド回路において、オン抵抗の高い方の第1のスイッチ回路のオン期間を、前記シフトレジスタの対応した出力段からの各相出力により制御する第1の制御パルス発生回路と、

各サンプルホールド回路において、オン抵抗の低い方の第2のスイッチ回路のオン期間を、前記3相の中の各相のシフトクロックと、前記シフトレジスタの対応した出力段からの各相出力と、のデコード出力により制御する第2の制御パルス発生回路と、を具備して成ることを特徴とする水平走査回路。

【請求項5】 ドットマトリクス型ディスプレイと、該ドットマトリクス型ディスプレイを駆動する水平及び垂直走査回路と、入力された映像信号を増幅及び補正して出力するビデオ回路と、該ビデオ回路から出力される映像信号を正、負両極性に交流化し前記水平走査回路に供給する極性反転回路と、から成るマトリクス型表示装置において、

前記水平走査回路が、請求項2、3又は4に記載の水平走査回路から成ることを特徴とするマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力映像信号をサンプリングしてホールドするサンプルホールド回路に関するものであり、更に詳しくは、該サンプルホールド回路、それを用いた水平走査回路、及び該走査回路を含むマトリクス型表示装置に関するものである。

【0002】

【従来の技術】 液晶パネルを駆動する従来のアナログ水平走査回路として、例えば、特開昭63-26084号公報に記載のものを挙げることができる。図16は、前記特開昭63-26084号公報に記載されている水平走査回路において

(3)

3

採用されている従来のサンプルホールド回路の構成を示す回路図である。

【0003】図16を参照する。サンプルホールド回路10は、1つのアナログスイッチ20と1つのホールド容量103で構成され、入力端子1に入力される映像信号VINを、アナログスイッチ20を閉じては開くことで、順次書き込んでいる。

【0004】かかるアナログスイッチの構成例を図17に示す。図17に示すアナログスイッチ20は、C-MOSのトランスマッションゲート構成によるアナログスイッチである。アナログスイッチ20は、PMOS201、NMOS202、インバータ203、により構成されている。PMOS201、NMOS202において、Gはゲート、Dはドレイン、Sはソース、である。204a、204bは、それぞれゲートG・ソースS間の容量である。

【0005】

【発明が解決しようとする課題】従来のマトリクス型表示装置における水平走査回路において、その走査速度を高速化するには、そこに用いられているサンプルホールド回路内のアナログスイッチ(図17の20)のON抵抗を低減し、入力映像信号VINを、該スイッチを介してホールド容量に高速に書き込む必要がある。

【0006】アナログスイッチ20のON抵抗を小さくするには、例えば、該スイッチを構成しているMOSのゲート幅を大きくすればよい。しかし、そのためにアナログスイッチ20のゲート・ソース間容量204a及び204bも大きくなり、該スイッチを開閉するための制御パルスSPの、開閉に伴うレベルの変化が、前記ゲート・ソース間容量204a及び204bを通じて、スイッチ出力側のホールド電圧を変化させ、ホールド容量103におけるオフセット電圧増大の原因となる。

【0007】このように、1つのホールド容量に対し、1つのアナログスイッチで構成されたサンプルホールド回路では、入力映像信号の高速な書き込みを行った場合、ホールド容量におけるオフセット電圧が増大するという問題がある為、かかるサンプルホールド回路を用いた水平走査回路の高速化は困難であった。また高速な水平走査回路の実現が困難になると、大型或は高精細液晶パネルを駆動する場合、例えば画面の左右分割駆動等を行って高速化することになり、そのための時間伸長回路が必要となり、回路規模が大形、複雑化するという問題も起きる。

【0008】本発明の目的は、入力映像信号を高速に書き込むことができ、且つオフセット電圧が小さくて済むサンプルホールド回路(ひいては、該ホールド回路を用いた水平走査回路、及び該走査回路を含むマトリクス型表示装置)を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため

特開平 5- 75957

4

に、本発明では、1つのホールド容量に対し、例えば、MOSのゲート幅を大きくしてON抵抗を小さくし、高速書き込みを可能とした第1スイッチ回路と、MOSのゲート幅を小さくし、オフセット電圧を小さくした第2スイッチ回路を並列に接続する。前記第1、第2スイッチ回路は、共にONとなり書き込みを開始する。第1スイッチ回路は、サンプリング期間の前半で、OFFとなる。第2スイッチ回路は、サンプリング期間の後半もONのまま、サンプリング期間の終了と共にOFFする。

【0010】

【作用】前記第1、第2スイッチ回路を共にONにしてサンプリングを開始する。第1スイッチ回路は、ON抵抗が小さいので、入力映像信号を高速に書き込むことができる。前記第1スイッチ回路がOFFした後、大きなオフセット電圧が発生するが、第2スイッチ回路がON状態を維持することで、そのオフセット電圧を低減する。

【0011】第2スイッチ回路は、MOSゲート幅が小さく、そのゲート・ソース間容量も小さいので、第2スイッチ回路自体がOFFした後のオフセット電圧は、小さい。したがって、本発明によれば、入力映像信号を高速に書き込むことができ、且つ、オフセット電圧が小さなサンプルホールド回路を構成することができる。

【0012】

【実施例】以下、本発明にかかるサンプルホールド回路の一実施例を図1に示す。図1は、アクティブマトリクス方式液晶パネルを駆動する水平走査回路内のサンプルホールド回路の1系統を示す等価回路図である。

【0013】図1において、サンプルホールド回路10は、第1スイッチ回路101、第2スイッチ回路102と、ホールド容量103を図示の如く接続することで構成される。第1スイッチ回路101は制御パルスSP1で、第2スイッチ回路102は制御パルスSP1'で、そのON期間を制御される。

【0014】また、第1スイッチ回路101は、例えば、MOSのゲート幅を大きくして、ゲート・ソース間容量は大きくなるがON抵抗 R_{ON1} を小さくし、第2スイッチ回路102は、MOSのゲート幅を小さくして、ON抵抗 R_{ON2} は大きくなるがゲート・ソース間容量を小さくする($R_{ON1} < R_{ON2}$)。ここで、ON抵抗を決める要因の一例として、MOSのゲート幅を挙げたが、他にも、ゲート酸化膜の厚さ、誘電率、なども挙げられる。

【0015】図2は、図1に示すサンプルホールド回路10の動作の一例を表すタイミング図である。図2において、Tは、制御パルスSP1が第2スイッチ回路102を制御しているON期間を表し、T1は、制御パルスSP1'が第1スイッチ回路101を制御しているON期間を表し、T2は、TとT1との差である。

【0016】以下、図2を参照して、図1の回路動作を説明する。スイッチ回路に、例えば、5 μ mCMOSブ

50

(4)

特開平 5- 75957

5

ロセスを用いたとし、MOSのゲートの幅を W 、長さを L とすると、例えば第1スイッチ回路101は、 $W=3$ 、 $L=5$ 、第2スイッチ回路102は、 $W=9$ 、 $L=5$ に設定する。この時、書き込み速度は W/L に、オフセット電圧は $W \cdot L$ に、ほぼ比例する。

【0017】映像信号の入力するVIN端子1には、図2に示すような15VppのVIN波形が入力される。時刻 t_1 に第1、第2の両スイッチ回路101、102が同時にONとなり、第1スイッチ回路101のON期間 T_1 の間に、主に、第1スイッチ回路101によって入力映像信号がホールド容量103に高速に書き込まれる。15Vppの信号を十分に書き込んだ後、時刻 t_2 に、制御パルスSP1'は立下り、第1スイッチ回路101はOFFとなる。

【0018】この瞬間、第1スイッチ回路101のゲート電圧の変化が、第1スイッチ回路101のゲート・ソース間容量を通じて、ホールド容量のホールド電圧を変化させる。これがオフセット電圧となり、その値は例えば0.2V(図中の①)と大きくなる。このオフセット電圧を低減するため、第2スイッチ回路102はONのままとし、続いて T_2 の間、映像信号を書き込み続ける。

【0019】第2スイッチ回路102は、MOSのゲート幅が小さいため書き込み速度は遅いが、第1スイッチ回路101で生じたオフセット電圧分(0.2V)を書き込む能力はもっている。またMOSのゲート幅が第1スイッチ回路101の約 $1/4$ であるため、オフセット電圧を0.05V(図中の②)に抑えることができる。

【0020】ここで入力信号15Vppに対して、 S/N 比が43dBを満足するためには、オフセット電圧を0.1V以下にする必要があり、第1スイッチ回路101でのオフセット電圧0.2Vはこれを満足せず、第2スイッチ回路102でのオフセット電圧0.05Vはこれを満足している。

【0021】このように、1つのホールド容量に対し、書き込みの速いスイッチ回路と、オフセット電圧の小さいスイッチ回路を並列に設けることにより、高速書き込みが可能で、且つ、オフセット電圧の小さいサンプルホールド回路を構成することができる。

【0022】次に、上述した本発明の一実施例としてのサンプルホールド回路を用いた水平走査回路の一実施例を図3に示す。図3は、制御回路11、サンプルホールド回路10、インピーダンス変換を行うバッファアンプ12で構成される。

【0023】図3において、VIN端子1には、1系統のモノクロ信号が入力される。さらに、制御回路11は、例えば入力されるクロックCKの立上りでシフト動作を行うシフトレジスタ111、ANDゲート112、入力信号の信号レベルを変換して出力するレベルシフタ(LS)113、で構成され、サンプルホールド回路10は、図1に示した構成と同じ、第1スイッチ回路10

6

1、第2スイッチ回路102と、ホールド容量103で構成される。また、第1スイッチ回路101は、制御パルスSP1'で、第2スイッチ回路102は、制御パルスSP1でそのON期間を制御される。

【0024】図4は、図3のシフトレジスタ111及びANDゲート112の動作を示すタイミング図である。図3、図4を参照する。クロック入力端子CK1にシフトクロックCKを入力すると、シフトレジスタ111の各出力段の出力SP1、SP2、SP3、…は、それぞれ、クロックCKの立上りエッジに同期し、シフトクロックの1周期分の幅 T をもった制御パルスとなる。

【0025】また、シフトクロックCKと、制御パルスSP1、SP2、SP3、…の各々と、の論理積を各ANDゲート112でとると、SP1'、SP2'、SP3'、…のような、シフトクロックCKの立上りエッジに同期し、シフトクロックの半周期分の幅 $T/2$ をもった制御パルスとなる。サンプルホールド回路10の動作は、先に図1、図2を参照して述べたそれと同様であるので省略する。

【0026】これにより、図3の水平走査回路は、高速動作が可能となる。本実施例の水平走査回路の特徴は、従来回路にANDゲート112を追加することで、各スイッチ回路のON期間制御用の制御パルスを、簡単に生成できることである。なお、レベルシフタ(LS)113は、制御パルスの信号レベルを、スイッチ回路を駆動するに足るレベルに変換する作用をするに過ぎないものであるから、詳述の必要はないであろう。

【0027】次に、上述の水平走査回路を用いたマトリクス型表示装置の一実施例を図15に示す。図15に示すマトリクス型表示装置は、マトリクス型ディスプレイ53、該ディスプレイ53のドレインバス58及びゲートバス59、ディスプレイを駆動する水平走査回路51及び垂直走査回路52、極性反転回路55、入力された映像信号を増幅、 γ 補正するビデオ回路54、同期分離回路56、水平及び垂直走査回路を制御する信号を発生する制御回路57、で構成される。

【0028】以下マトリクス型表示装置の動作について説明する。入力映像信号は、同期分離回路56とビデオ回路54に入力される。同期分離回路56の出力信号により、制御回路57では、水平及び垂直走査回路51、52を制御するデジタル信号を形成する。ビデオ回路54では、入力映像信号を増幅し且つ γ 補正を行い、該ビデオ回路54の出力映像信号をもとに、極性反転回路55で、正、負両極性の映像信号を形成する。

【0029】該極性反転回路55及び制御回路57の出力は、水平走査回路51に入力される。水平走査回路51は、前述したように入力映像信号を高速にサンプルホールドし、一水平走査周期ごとに各々対応したドレインバス58に同時に出力する。また制御回路57は、垂直走査回路52にも接続されており、垂直走査回路52は

(5)

特開平 5- 75957

7

一水平走査周期ごとにゲートバス59を順次選択する。こうしてマトリクス型表示装置に映像信号が表示される。

【0030】本実施例では、前述した高速な水平走査回路を用いることで、大形、或は高精細なマトリクス型ディスプレイを、左右分割駆動等のための時間伸長回路を追加することなく、図15に見られる如き簡素な回路構成で、実現して映像表示できるという特徴がある。

【0031】次に、本発明にかかる水平走査回路の第2の実施例を図5に示す。これは、アクティブマトリクス方式液晶パネルを駆動する水平走査回路である。本実施例の基本構成は、図3に示した第1の実施例の水平走査回路とほぼ同じであり、異なるのは、遅延回路116と、ORゲート115を追加したことである。

【0032】図6は、図5に示す実施例の回路動作を示すタイミング図である。図5、図6を参照する。クロック入力端子CK1にシフトクロックCKを入力すると、遅延回路116の出力CK'は、クロックCKの立上りエッジより僅かだけ遅延した周期Tのクロックとなる。またORゲート115により、クロックCKと遅延出力CK'との論理和であるCK''が生成される。

【0033】この論理和信号CK''が、ANDゲート112に入力されると、クロックCKの立上りエッジに同期し、 $(T/2) + \tau$ の幅をもった制御パルスSP1'、SP2'、SP3'、…が出力される。これら制御パルスを印加されることによるサンプルホールド回路10の回路動作は、先に図1、図2を参照して説明したそれと同様なので省略する。

【0034】本実施例の特徴は、遅延回路116による遅延幅 τ を調整することで、制御パルスSP1'、SP2'、SP3'、…のパルス幅、すなわち第1スイッチ回路のON期間を、その書き込み能力に合わせて設定できることで、例えば、回路をIC化する場合に、その占有面積を小さくしたい時、第1スイッチ回路のゲート幅を削減する必要がある、そのためON抵抗が増え、書き込み速度が遅くなり、入力信号を充分書き込めるまで第1スイッチ回路のON期間を伸ばさなければならない時などに有効である。

【0035】次に、水平走査回路に関する本発明の第3の実施例を図7に示す。図7に示す実施例は、制御回路11、サンプルホールド回路10、インピーダンス変換を行うバッファアンプ12、で構成される。

【0036】更に制御回路11は、例えば、3相のシフトクロックCK1、CK2、CK3の立上りでシフト動作を行うシフトレジスタ117、ANDゲート112、信号レベルを変換するレベルシフタ(LS)113、論理ゲート114で構成され、サンプルホールド回路10は、図1に示したそれと同じ、第1スイッチ回路101、第2スイッチ回路102と、ホールド回路103で構成されている。

8

【0037】本実施例が、図3に示した第1の実施例と異なるのは、映像信号の入力端子VR、VG、VBにR、G、B3系統のカラー信号が入力されることである。また、それに伴い3相のシフトレジスタ117を使用していることである。この3相のシフトレジスタ117は、位相が120度づつずれた3相のシフトクロックCK1、CK2、CK3で駆動され、1相のクロックで、1色の出力の書き込みタイミングを決定し、3相でR、G、B3色に対応している。また、3相のシフトクロックを用いることで、シフトレジスタ117の動作の低減を行っている。

【0038】図8は、図7における論理ゲート114の具体例を示す回路図である。図8において、論理ゲート114は、3つのORゲート215a~215cで構成される。以下、論理ゲート114を、図8に示す如き回路とした場合の、図7に示す本実施例の回路動作を、図9も併せ参照して説明する。なお図9は、本実施例の回路動作を示すタイミング図である。

【0039】シフトレジスタ117に3相のシフトクロックCK1、CK2、CK3を入力すると、それぞれのクロックの立上りエッジに同期し、シフトクロックの1周期分のパルス幅Tをもった制御パルスSP1、SP2、SP3、…が出力される。これら制御パルスはシフトクロック周期の1/3ずつ位相が異なっている。また、3相のシフトクロックから、図8の論理ゲート114によって、CK1'、CK2'、CK3'のようなクロックが生成される。

【0040】そこでANDゲート112によって、CK1'とSP1、CK2'とSP2、CK3'とSP3、CK1'とSP4、…のようにそれぞれ論理積をとると、制御パルスSP1、SP2、SP3、…の立上りエッジに同期し、パルス幅 $(2/3)T$ の制御パルスSP1'、SP2'、SP3'、…が出力される。これら制御パルスを印加されることによるサンプルホールド回路の動作は、さきに説明した所と同様なので省略する。

【0041】本実施例の特徴は、論理ゲート114を例えば複数のORゲートで構成することにより、第1スイッチ回路101のON期間を、その書き込み能力に合わせて設定できることであり、このため、先にも述べたように回路をIC化する場合、占有面積を小さくしたい時に有効である。

【0042】次に、本発明の水平走査回路についての第4の実施例を図10に示す。本実施例の基本構成は、図7に示す第3の実施例のそれとほぼ同じであるため、違った部分を含む制御回路11の部分のみを示している。図10は、図7に対し、制御回路11内の論理ゲート114を無くし、一個のORゲート118を追加していることを特徴とする。

【0043】図11は、図10に示す実施例の動作を示すタイミング図である。図10、図11を参照する。シ

50

フトレジスタ117に3相のシフトクロックCK1、CK2、CK3を入力すると、それぞれのクロックの立上りエッジに同期し、シフトクロックの1周期分のパルス幅Tをもった制御パルスSP1、SP2、SP3、…が出力される。これらはシフトクロック周期の1/3ずつ位相が異なっている。

【0044】またORゲート118によりCK1'を生成し、このCK1'と制御パルスSP1との論理積を、ANDゲート112aによりとると、制御パルスSP1'が生成される。その他の制御パルスSP2'、SP3'、…は、ANDゲート112b…によって、SP1とSP2、SP2とSP3、…のように論理積をとること

で生成される。
【0045】これにより制御パルスSP1、SP2、SP3、…の立上りエッジに同期し、パルス幅(2/3)Tの制御パルスSP1'、SP2'、SP3'、…が出力される。これら制御パルスを印加されることによるサンプルホールド回路の動作は、先に説明したところと同様なので省略する。本実施例の特徴は、論理ゲート114を無くし一個のORゲート118を追加することで、各スイッチ回路の制御パルスを、先に図7を参照して説明した第3の実施例のそれより、簡単に生成できることである。

【0046】次に、本発明の水平走査回路についての第5の実施例を図12に示す。本実施例の基本構成は、図7に示した第3の実施例とほぼ同じであり、異なる点は、サンプルホールド回路10のスイッチ回路が、3段になっていることである。

【0047】図12に示す実施例は、制御回路11、サンプルホールド回路10、インピーダンス変換を行うバッファアンプ12で構成される。さらに制御回路11は、例えば、3相のシフトクロックの立上りでシフト動作を行うシフトレジスタ117、ANDゲート112、信号レベルを変換するレベルシフタ(LS)113、論理ゲート114で構成されている。

【0048】サンプルホールド回路10は、第1スイッチ回路101、第2スイッチ回路102、第3スイッチ回路103と、ホールド容量104で構成される。また第1スイッチ回路101は、ANDゲート112の出力SP1'、SP2'、SP3'、…で、第2スイッチ回路102は、ANDゲート112の出力SP1'、SP2'、SP3'、…で、第3スイッチ回路103は、シフトレジスタ117の出力SP1、SP2、SP3、…でそれぞれ制御されている。

【0049】図13は、図12における論理ゲート114の具体例を示す回路図である。図13において、論理ゲート114は、3つのORゲート215a~215cと3つのインバータ216a~216cで構成される。この時の制御回路11の動作を表すタイミング図が図14である。

【0050】スイッチ回路の制御パルスであるSP1、SP1'、SP1''等の生成方法は、図10に示す第4の実施例と同様に、3相のシフトクロックCK1、CK2、CK3とシフトレジスタ117の出力SP1、SP2、SP3、…をデコードすることで、できるので説明を省略する。

【0051】図12に示す、3段のスイッチ回路を設けたサンプルホールド回路10の動作を図14を参照して説明する。第1、第2、第3スイッチ回路のそれぞれのON抵抗を、RON1、RON2、RON3とすると、RON1<RON2<RON3となるように設定する。

【0052】即ち、第1スイッチ回路101には、高速な書き込みのできるスイッチ、第3スイッチ回路103には、オフセット電圧の小さいスイッチ、また第2スイッチ回路102には、平均的な書き込み速度、オフセット電圧の性能をもったスイッチを使用する。これら3つのスイッチ回路は、SP1、SP1'、SP1''等の制御パルスに合わせて、同時にON状態となる。

【0053】次に第1、第2、第3スイッチ回路の順番で、シフトクロック周期の1/3ずつ間隔を置きながら、OFFしていく。本実施例の特徴は、例えば第1スイッチ回路のON抵抗を、より小さくし、図1に示す第1の実施例の第1スイッチ回路よりも高速に書き込めるようにする。また、第1スイッチ回路で生じる大きなオフセット電圧を、第2、第3スイッチ回路によって順に低減することによって、オフセット電圧は同じで、図1に示す第1の実施例の場合よりも高速なサンプルホールド回路を構成できることである。

【0054】以上、ドットマトリクス型表示装置として、液晶表示装置を例に挙げて説明してきたが、その他のEL(エレクトロルミネセンス)やPDP(プラズマディスプレイ)、VDP(蛍光表示管)などの水平走査回路に用いても、本発明による水平走査回路は同様な効果があることは明らかである。

【0055】

【発明の効果】本発明によれば、高速書き込みが可能で、しかもオフセット電圧の小さいサンプルホールド回路を構成でき、これにより高速な水平走査回路を構成することができる。またこの高速な水平走査回路を用いることで、大型、或は高精細マトリクス型ディスプレイを時間伸長回路なしで駆動することができる。

【図面の簡単な説明】

【図1】本発明にかかるサンプルホールド回路の実施例を示す回路図である。

【図2】図1の回路の動作を表すタイミング図である。

【図3】本発明にかかる水平走査回路の実施例を示す回路図である。

【図4】図3の実施例の動作を表すタイミング図である。

【図5】本発明にかかる水平走査回路の第2の実施例を

(7)

11

示す回路図である。

【図6】図5に示す実施例の動作を表すタイミング図である。

【図7】本発明にかかる水平走査回路の第3の実施例を示す回路図である。

【図8】図7における論理ゲートの具体例を示す回路図である。

【図9】図7の実施例の動作を表すタイミング図である。

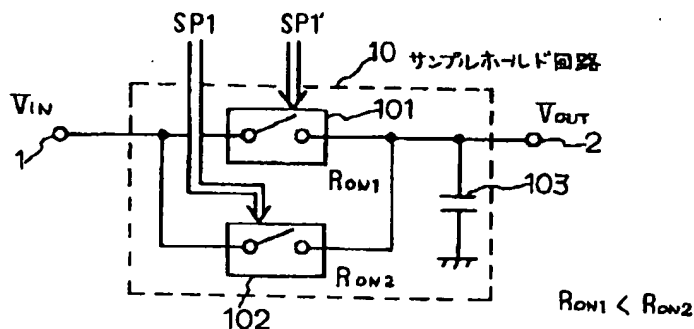
【図10】本発明にかかる水平走査回路の第4の実施例 10
を示す回路図である。

【図11】図10の実施例の動作を表すタイミング図である。

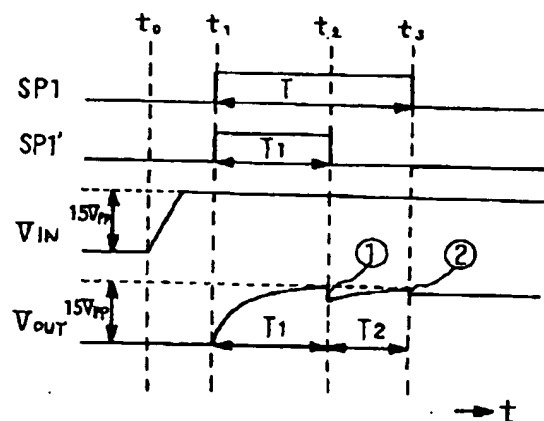
【図12】本発明にかかる水平走査回路の第5の実施例
を示す回路図である。

【図13】図12における論理ゲートの具体例を示す回
路図である。

【図1】



【図2】



特開平 5- 75957

12

【図14】図12の実施例の動作を表すタイミング図である。

【図15】本発明にかかるマトリクス型表示装置の実施例を示す構成図である。

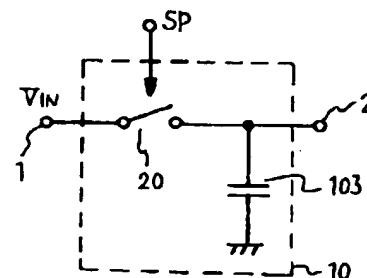
【図16】サンプルホールド回路の従来例を示す回路図である。

【図17】従来のサンプルホールド回路に用いるアナログスイッチの構成を示す回路図である。

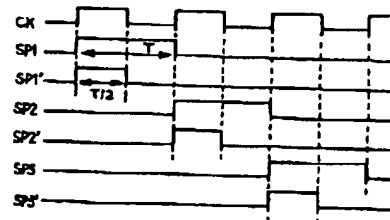
【符号の説明】

10…サンプルホールド回路、11…制御回路、51…
水平走査回路、52…垂直走査回路、53…マトリクス
型ディスプレイ、101…第1スイッチ回路、102…
第2スイッチ回路、103…ホールド容量、111…シ
フトレジスタ、112…ANDゲート、113…レベル
シフタ、114…論理ゲート、115…ORゲート、1
16…遅延回路。

【図16】



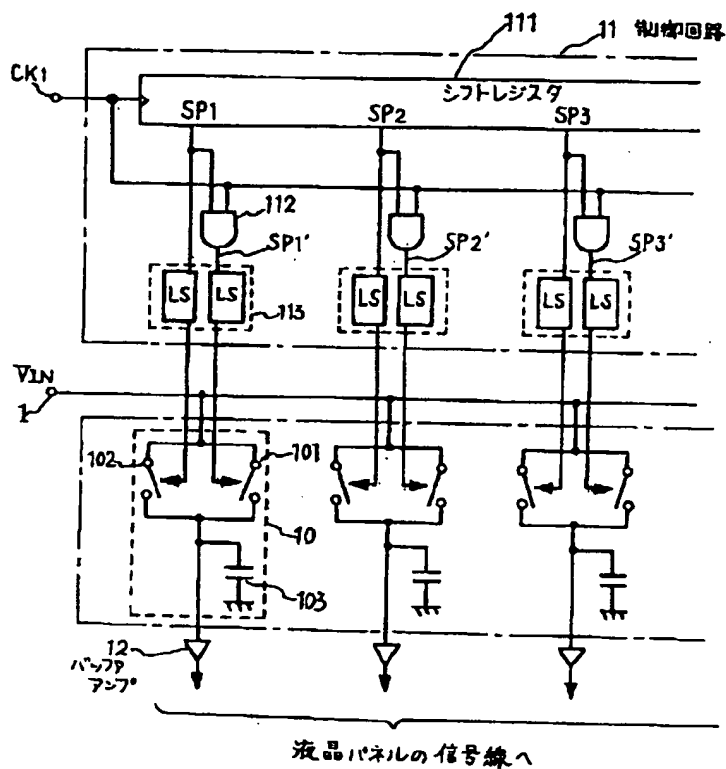
【図4】



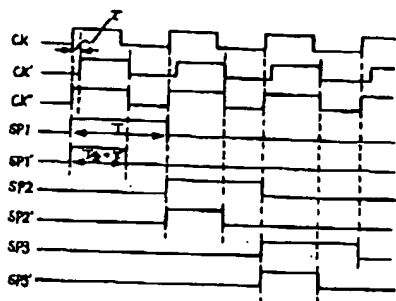
(8)

特開平 5- 75957

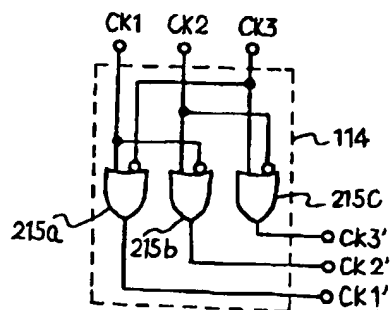
【図3】



【図6】



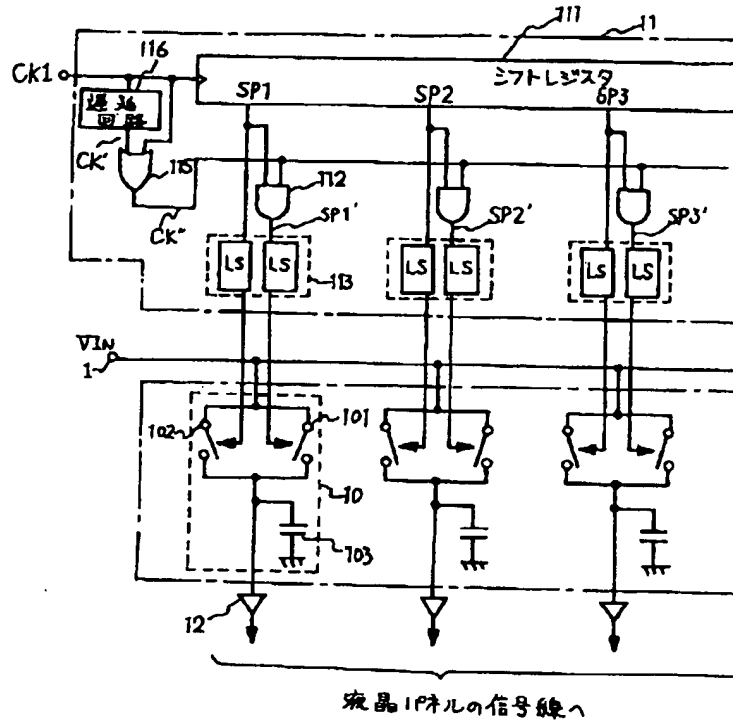
【図8】



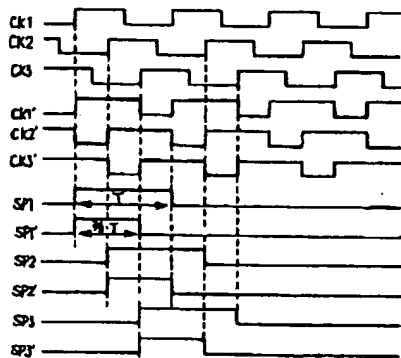
(9)

特開平 5- 75957

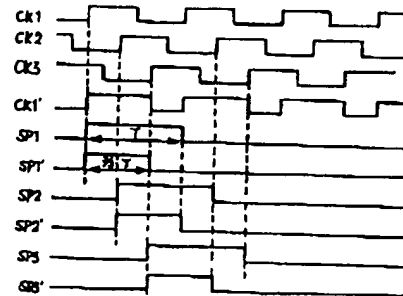
【図5】



【図9】



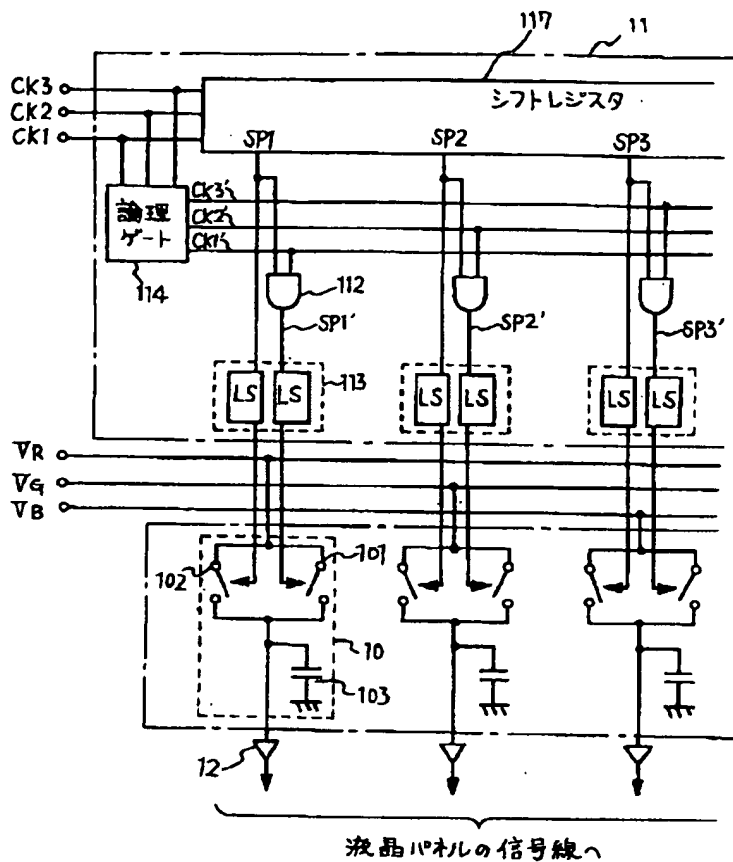
【図11】



(10)

特 開 平 5 - 7 5 9 5 7

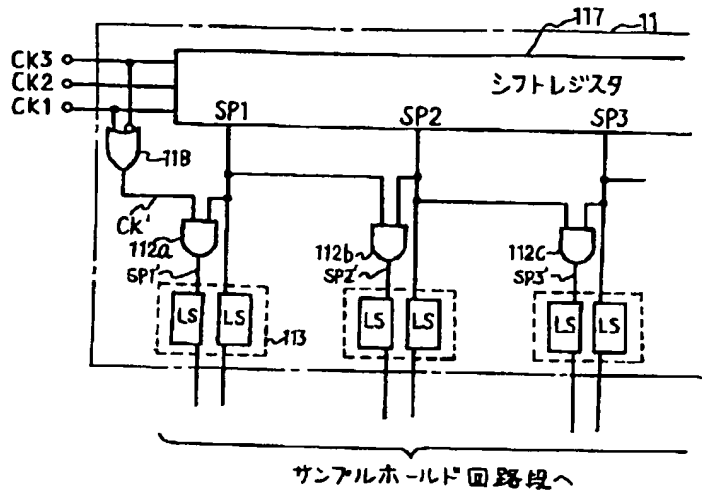
【図 7】



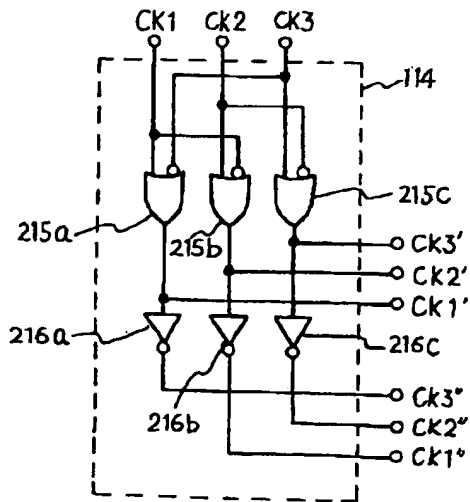
(11)

特開平 5- 75957

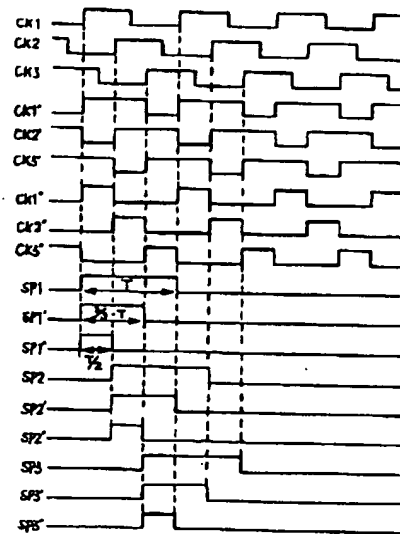
【図10】



【図13】



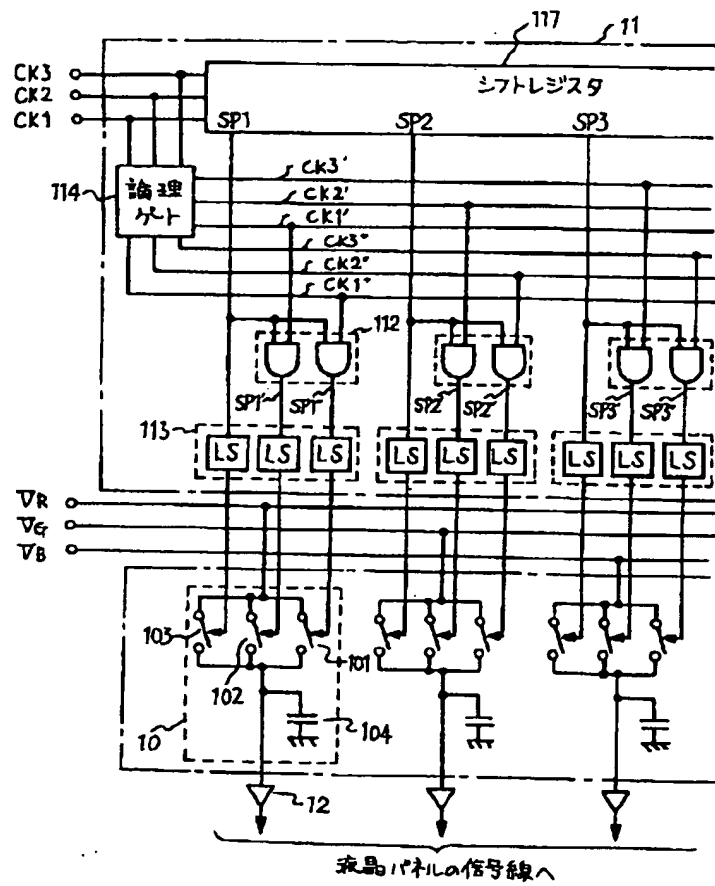
【図14】



(12)

特開平 5 - 75957

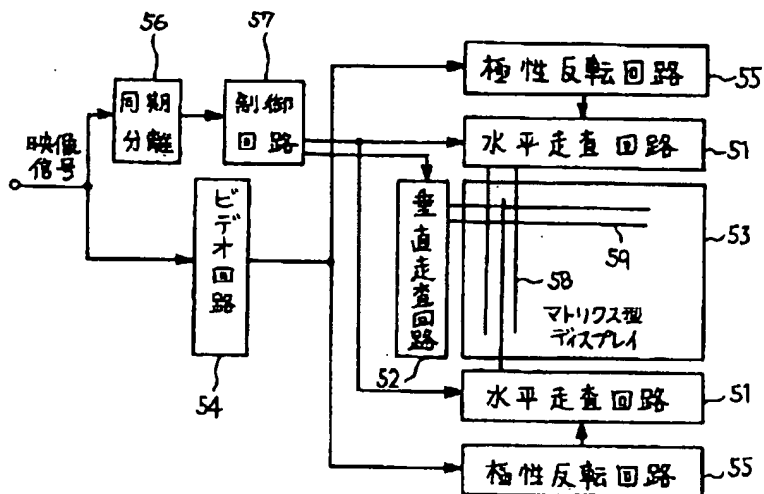
【図12】



(13)

特開平 5- 75957

【図15】



【図17】

